

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Wataru SAITO, et al.

GAU:

SERIAL NO: 10/806,397

EXAMINER:

FILED: March 23, 2004

FOR: POWER SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

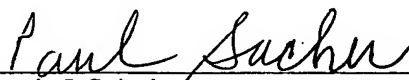
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-327654	September 19, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

Paul Sacher
Registration No. 43,418

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 1 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 2 7 6 5 4
Application Number:
ST. 10/C] : [J P 2 0 0 3 - 3 2 7 6 5 4 .]

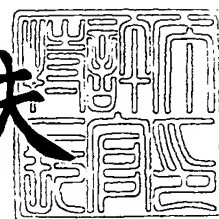
願 人 株 式 会 社 東 芝
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 4 年 3 月 2 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 2 5 7 4 9

【書類名】 特許願
【整理番号】 A000303926
【提出日】 平成15年 9月19日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/00
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
 レクトロニクスセンター内
 【氏名】 齋藤 渉
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
 レクトロニクスセンター内
 【氏名】 大村 一郎
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎
【手数料の表示】
 【予納台帳番号】 011567
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

ノンドープ $Al_xGa_{1-x}N$ ($0 \leq X \leq 1$) の第 1 半導体層と、
前記第 1 半導体層上に配設されたノンドープ若しくは n 型 $Al_yGa_{1-y}N$ ($0 \leq Y \leq 1$, $X < Y$) の第 2 半導体層と、
互いに離間するように配設され且つ前記第 2 半導体層に電氣的に接続されたソース電極及びドレイン電極と、
前記ソース電極と前記ドレイン電極との間で前記第 2 半導体層上に配設されたゲート電極と、
前記ゲート電極と前記ドレイン電極との間で前記第 2 半導体層を覆う絶縁膜と、
前記絶縁膜上に配設され且つ前記ゲート電極に電氣的に接続された第 1 フィールドプレート電極と、
前記絶縁膜上に配設され且つ前記ソース電極に電氣的に接続された第 2 フィールドプレート電極と、
を具備することを特徴とする電力用半導体装置。

【請求項 2】

前記第 2 フィールドプレート電極は前記第 1 フィールドプレート電極と前記ドレイン電極との間に介在する介在電極部を具備することを特徴とする請求項 1 に記載の電力用半導体装置。

【請求項 3】

前記絶縁膜は前記第 2 半導体層上に配設された第 1 絶縁膜を具備し、前記第 1 フィールドプレート電極及び前記介在電極部は前記第 1 絶縁膜上に配設されることを特徴とする請求項 2 に記載の電力用半導体装置。

【請求項 4】

前記第 2 フィールドプレート電極は、前記ソース電極と前記介在電極部とを接続すると共に層間絶縁膜を介して前記第 1 フィールドプレート電極を覆う被覆電極部を具備することを特徴とする請求項 3 に記載の電力用半導体装置。

【請求項 5】

前記第 2 フィールドプレート電極は、層間絶縁膜を介して前記第 1 フィールドプレート電極を覆う被覆電極部を具備し、前記被覆電極部の先端部は、前記第 1 フィールドプレート電極よりも前記ドレイン電極側に延在することを特徴とする請求項 1 に記載の電力用半導体装置。

【請求項 6】

前記絶縁膜は、前記第 1 及び第 2 フィールドプレート電極下において夫々第 1 及び第 2 厚さを有し、前記第 2 厚さは前記第 1 厚さよりも大きいことを特徴とする請求項 1 に記載の電力用半導体装置。

【請求項 7】

前記絶縁膜は前記第 2 半導体層上に配設された第 1 絶縁膜と、前記第 1 絶縁膜上に配設された第 2 絶縁膜とを具備し、前記第 1 フィールドプレート電極は前記第 1 絶縁膜上に配設され、前記第 2 フィールドプレート電極は前記第 2 絶縁膜上に配設されることを特徴とする請求項 6 に記載の電力用半導体装置。

【請求項 8】

前記絶縁膜上に配設され且つ前記ドレイン電極に電氣的に接続された第 3 フィールドプレート電極を更に具備することを特徴とする請求項 1 乃至 7 のいずれかに記載の電力用半導体装置。

【請求項 9】

前記絶縁膜は前記第 2 半導体層上に配設された第 1 絶縁膜を具備し、前記第 1 及び第 3 フィールドプレート電極は前記第 1 絶縁膜上に配設されることを特徴とする請求項 8 に記載の電力用半導体装置。

【請求項 10】

前記絶縁膜は前記第2半導体層上に配設された第1絶縁膜と、前記第1絶縁膜上に配設された第2絶縁膜とを具備し、前記第1フィールドプレート電極は前記第1絶縁膜上に配設され、前記第3フィールドプレート電極は前記第2絶縁膜上に配設された部分を有することを特徴とする請求項8または9に記載の電力用半導体装置。

【請求項11】

ノンドープ $Al_xGa_{1-x}N$ ($0 \leq X \leq 1$) の第1半導体層と、

前記第1半導体層上に配設されたノンドープ若しくはn型 $Al_yGa_{1-y}N$ ($0 \leq Y \leq 1$, $X < Y$) の第2半導体層と、

互いに離間するように前記第2半導体層上若しくは前記第2半導体層の表面内に配設され且つ前記第2半導体層よりも低い抵抗を有するn型 $Al_zGa_{1-z}N$ ($0 \leq Z \leq 1$) の第1及び第2コンタクト層と、

前記第1及び第2コンタクト層上に配設されたソース電極及びドレイン電極と、

前記ソース電極と前記ドレイン電極との間で前記第2半導体層上に配設されたゲート電極と、

前記ソース電極と前記ドレイン電極との間で前記ゲート電極を覆うように前記第2半導体層上に配設された絶縁膜と、

前記絶縁膜上に配設され且つ前記ソース電極に電氣的に接続された第1フィールドプレート電極と、

前記絶縁膜上に配設され且つ前記ドレイン電極に電氣的に接続された第2フィールドプレート電極と、

を具備することを特徴とする電力用半導体装置。

【請求項12】

前記第1及び第2コンタクト層は、前記第2半導体層の表面内に形成され且つ前記第1及び第2半導体層の界面を越えて前記第1半導体層内に延在することを特徴とする請求項11に記載の電力用半導体装置。

【請求項13】

前記第1及び第2コンタクト層は、前記第1半導体層とは反対側で、前記第2半導体層の表面上に突出するように配設されることを特徴とする請求項11に記載の電力用半導体装置。

【請求項14】

前記第2半導体層とは反対側で、前記第1半導体層上に、p型 $Al_xGa_{1-x}N$ ($0 \leq X \leq 1$) の第3半導体層が配設されることを特徴とする請求項11乃至13のいずれかに記載の電力用半導体装置。

【請求項15】

前記第3半導体層は前記ソース電極に電氣的に接続されることを特徴とする請求項14に記載の電力用半導体装置。

【請求項16】

前記ソース電極と前記ドレイン電極とを結ぶ方向において、前記ゲート電極の端部を越えて前記ドレイン電極側に延在する前記第1フィールドプレート電極の部分の第1投影長と、前記絶縁膜上における前記第2フィールドプレート電極の部分の第2投影長との比は、0.9～1.1に設定されることを特徴とする請求項11乃至15のいずれかに記載の電力用半導体装置。

【請求項17】

前記第2投影長は、前記第1半導体層の厚さよりも大きいことを特徴とする請求項16に記載の電力用半導体装置。

【請求項18】

ノンドープ $Al_xGa_{1-x}N$ ($0 \leq X \leq 1$) の第1半導体層と、

前記第1半導体層上に配設されたノンドープ若しくはn型 $Al_yGa_{1-y}N$ ($0 \leq Y \leq 1$, $X < Y$) の第2半導体層と、

互いに離間するように配設され且つ前記第2半導体層に電氣的に接続されたソース電極

及びドレイン電極と、

前記ソース電極と前記ドレイン電極との間で前記第2半導体層上に配設されたゲート電極と、

前記ソース電極と前記ドレイン電極との間で前記ゲート電極を覆うように前記第2半導体層上に配設された絶縁膜と、

前記絶縁膜上に配設され且つ前記ソース電極に電氣的に接続された第1フィールドプレート電極と、

前記絶縁膜上に配設され且つ前記ドレイン電極に電氣的に接続された第2フィールドプレート電極と、

前記ドレイン電極に隣接して前記第1及び第2半導体層にコンタクトし且つ前記ドレイン電極に電氣的に接続されたドレインコンタクト電極と、

を具備することを特徴とする電力用半導体装置。

【請求項19】

前記ドレインコンタクト電極は、前記第2半導体層の表面から前記第1及び第2半導体層の界面を越えて前記第1半導体層内に延在するトレンチ内に配設されることを特徴とする請求項18に記載の電力用半導体装置。

【請求項20】

前記ソース電極に隣接して前記第1及び第2半導体層にコンタクトし且つ前記ソース電極に電氣的に接続されたソースコンタクト電極を更に具備することを特徴とする請求項18または19に記載の電力用半導体装置。

【請求項21】

前記ソースコンタクト電極は、前記第2半導体層の表面から前記第1及び第2半導体層の界面を越えて前記第1半導体層内に延在するトレンチ内に配設されることを特徴とする請求項20に記載の電力用半導体装置。

【請求項22】

互いに離間するように前記第2半導体層上に配設され且つ前記第2半導体層よりも低い抵抗を有する n 型 $Al_zGa_{1-z}N$ ($0 \leq z \leq 1$)の第1及び第2コンタクト層を更に具備し、前記ソース電極及び前記ドレイン電極は前記第1及び第2コンタクト層上に夫々配設されることを特徴とする請求項18乃至21のいずれかに記載の電力用半導体装置。

【書類名】明細書

【発明の名称】電力用半導体装置

【技術分野】

【0001】

本発明は、大電力の制御に用いられる電力用（パワー）半導体装置に関し、特に窒化物系の横型電界効果トランジスタ（FET）に関する。

【背景技術】

【0002】

スイッチング電源やインバータなどの回路には、スイッチング装置やダイオードなどのパワー半導体装置が用いられる。このパワー半導体装置には、高耐圧及び低オン抵抗であることが求められる。耐圧とオン抵抗との関係は、装置材料で決まるトレードオフ関係がある。これまでの技術開発の進歩により、パワー半導体装置は、主な装置材料であるシリコンの限界近くまで低オン抵抗が実現できている。このため、更にオン抵抗を低減するには、装置材料の変更が必要となっている。

【0003】

現在、ワイドバンドギャップ半導体を用いたパワー半導体装置の研究が盛んに行われている。例えば、シリコンに代えて、窒化物系（GaN、AlGaNなど）や炭化珪素系（SiC）などのワイドバンドギャップ半導体を、スイッチング装置材料として用いることが提案されている。これらの半導体を使用すると、装置材料で決まるトレードオフ関係を改善でき、飛躍的に低オン抵抗化が可能となる。

【0004】

GaNなどの窒化物系のパワー半導体装置によれば、Siパワー半導体装置に比べて低オン抵抗が実現される。中でも、高電子移動度トランジスタ（HEMT: High Electron Mobility Transistor）構造を用いたパワーデバイスでは、Si限界の100分の1以下の低オン抵抗が実現される。

【0005】

HEMT構造のような横型装置では、ゲート・ドレイン間の電界分布で耐圧が決まる。従って、短いゲート・ドレイン間の距離で高い耐圧を得ることにより、低オン抵抗化が可能となる。この場合、電極端部での電界集中を緩和させる必要があり、これにはフィールドプレート構造が有効であることが知られている。例えば、下記の特許文献1及び2はフィールドプレート電極を有するGaN系パワーHEMTを開示している。

【0006】

図14及び図15は、従来のフィールドプレート電極を有するGaN系パワーHEMTを模式的に示す断面図である。

【0007】

図14及び図15図示のHEMTの夫々は、ノンドープのGaNからなるチャネル層101と、チャネル層101上に配設されたn型のAlGaNからなるバリア層102とを有する。バリア層102上に互いに離間してソース電極114及びドレイン電極115が配設される。ソース電極114とドレイン電極115との間でバリア層102上にゲート電極113が配設される。ゲート電極113とドレイン電極115との間でバリア層102は絶縁膜116によって被覆される。

【0008】

図14図示のHEMTの場合、絶縁膜116上にゲート電極113に電氣的に接続されたフィールドプレート電極117が配設される。図15図示のHEMTの場合、絶縁膜116上に、ソース電極114に電氣的に接続されたフィールドプレート電極118が配設される。後者のフィールドプレート電極118は、絶縁膜119を介してゲート電極113を覆うように配設される。

【特許文献1】特開2002-118122公報

【特許文献2】米国特許第6,483,135号明細書

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は、窒化物系の電力用半導体装置において、ゲートリーク電流を低く抑えつつ、スイッチングスピードを高くすることを1つの目的とする。

【0010】

本発明はまた、窒化物系の電力用半導体装置において、オン抵抗を非常に低くすることを別の目的とする。

【課題を解決するための手段】

【0011】

本発明の第1の視点は、電力用半導体装置であって、
ノンドープ $Al_xGa_{1-x}N$ ($0 \leq X \leq 1$) の第1半導体層と、
前記第1半導体層上に配設されたノンドープ若しくはn型 $Al_yGa_{1-y}N$ ($0 \leq Y \leq 1$, $X < Y$) の第2半導体層と、
互いに離間するように配設され且つ前記第2半導体層に電氣的に接続されたソース電極及びドレイン電極と、
前記ソース電極と前記ドレイン電極との間で前記第2半導体層上に配設されたゲート電極と、
前記ゲート電極と前記ドレイン電極との間で前記第2半導体層を覆う絶縁膜と、
前記絶縁膜上に配設され且つ前記ゲート電極に電氣的に接続された第1フィールドプレート電極と、
前記絶縁膜上に配設され且つ前記ソース電極に電氣的に接続された第2フィールドプレート電極と、
を具備することを特徴とする。

【0012】

本発明の第2の視点は、電力用半導体装置であって、
ノンドープ $Al_xGa_{1-x}N$ ($0 \leq X \leq 1$) の第1半導体層と、
前記第1半導体層上に配設されたノンドープ若しくはn型 $Al_yGa_{1-y}N$ ($0 \leq Y \leq 1$, $X < Y$) の第2半導体層と、
互いに離間するように前記第2半導体層上若しくは前記第2半導体層の表面内に配設され且つ前記第2半導体層よりも低い抵抗を有するn型 $Al_zGa_{1-z}N$ ($0 \leq Z \leq 1$) の第1及び第2コンタクト層と、
前記第1及び第2コンタクト層上に配設されたソース電極及びドレイン電極と、
前記ソース電極と前記ドレイン電極との間で前記第2半導体層上に配設されたゲート電極と、
前記ソース電極と前記ドレイン電極との間で前記ゲート電極を覆うように前記第2半導体層上に配設された絶縁膜と、
前記絶縁膜上に配設され且つ前記ソース電極に電氣的に接続された第1フィールドプレート電極と、
前記絶縁膜上に配設され且つ前記ドレイン電極に電氣的に接続された第2フィールドプレート電極と、
を具備することを特徴とする。

【0013】

本発明の第3の視点は、電力用半導体装置であって、
ノンドープ $Al_xGa_{1-x}N$ ($0 \leq X \leq 1$) の第1半導体層と、
前記第1半導体層上に配設されたノンドープ若しくはn型 $Al_yGa_{1-y}N$ ($0 \leq Y \leq 1$, $X < Y$) の第2半導体層と、
互いに離間するように配設され且つ前記第2半導体層に電氣的に接続されたソース電極及びドレイン電極と、
前記ソース電極と前記ドレイン電極との間で前記第2半導体層上に配設されたゲート電極と、

前記ソース電極と前記ドレイン電極との間で前記ゲート電極を覆うように前記第 2 半導体層上に配設された絶縁膜と、

前記絶縁膜上に配設され且つ前記ソース電極に電氣的に接続された第 1 フィールドプレート電極と、

前記絶縁膜上に配設され且つ前記ドレイン電極に電氣的に接続された第 2 フィールドプレート電極と、

前記ドレイン電極に隣接して前記第 1 及び第 2 半導体層にコンタクトし且つ前記ドレイン電極に電氣的に接続されたドレインコンタクト電極と、
を具備することを特徴とする。

【0014】

更に、本発明に係る実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施の形態に示される全構成要件から幾つかの構成要件が省略されることで発明が抽出された場合、その抽出された発明を実施する場合には省略部分が周知慣用技術で適宜補われるものである。

【発明の効果】

【0015】

本発明の第 1 の視点によれば、窒化物系の電力用半導体装置において、ゲートリーク電流を低く抑えつつ、スイッチングスピードを高くすることができる。

【0016】

本発明の第 2 或いは第 3 の視点によれば、窒化物系の電力用半導体装置において、オン抵抗を非常に低くすることができる。

【発明を実施するための最良の形態】

【0017】

本発明者等は、本発明の開発の過程において、図 14 及び図 15 図示の従来の GaN 系パワー HEMT などについて研究を行った。その結果、以下に述べるような知見を得た。

【0018】

図 14 図示の構造では、ゲート・ドレイン間電圧によるゲート電極 113 の端部 A1 における電界集中が、フィールドプレート電極 117 により緩和される。この構造の場合、フィールドプレート電極 117 がゲート電極 113 に電氣的に接続されているため、ゲート電極 113 とドレイン電極 115 との間の距離が実質的に小さくなる。その結果、スイッチングの充放電時間を決定する支配的な要素であるゲート・ドレイン間容量が大きくなり、スイッチングに時間が掛るようになり、スイッチングスピードが低下する。

【0019】

一方、図 15 図示の構造では、ゲート・ドレイン間電圧によるゲート電極 113 の端部 A1 における電界集中が、フィールドプレート電極 118 により緩和される。この構造の場合、フィールドプレート電極 118 がソース電極 114 に電氣的に接続されているため、ゲート電極 113 の端部 A1 には、ゲート・ソース間電圧が印加される。その結果、端部 A1 にはゲート・ソース間電圧による電界集中が新たに発生し、これによりバリア層 2 を通してゲート電極 113 からドレイン電極 115 に流れるゲートリーク電流が増加する。即ち、図 15 図示の構造の場合、図 14 図示の構造よりもゲートリーク電流が大きくなる。

【0020】

また、図 14 及び図 15 図示の従来の GaN 系パワー HEMT によれば、Si 限界の 100 分の 1 以下の低オン抵抗が実現される。しかし、GaN 系材料の特性を考慮した場合、従来の GaN 系パワー HEMT のオン抵抗は、材料の限界よりも 10 倍以上も大きいものとなっている。これは、従来、GaN 系半導体装置の設計が、通信用装置をベースにして行われているため、パワー装置としての設計が充分でないためと考えられる。

【0021】

以下に、このような知見に基づいて構成された本発明の実施の形態について図面を参照

して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0022】

(第1の実施の形態)

図1は、本発明の第1の実施の形態に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図である。

【0023】

図1に示すように、このパワーHEMTは、サファイア製の支持基板S1の上に配設されたノンドープのチャンネル層（第1半導体層）1と、チャンネル層1上に配設されたノンドープ若しくはn型のバリア層（第2半導体層）2とを有する。チャンネル層1は $\text{Al}_x\text{Ga}_{1-x}\text{N}$ （ $0 \leq x \leq 1$ ）、例えば、GaNからなる。バリア層2は $\text{Al}_y\text{Ga}_{1-y}\text{N}$ （ $0 \leq y \leq 1$ 、 $x < y$ ）、例えば、 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ からなる。

【0024】

バリア層2と電氣的にコンタクトするようにこの上にソース電極14が配設される。ソース電極14から離間してバリア層2と電氣的にコンタクトするようにこの上にドレイン電極15が配設される。ソース電極14とドレイン電極15との間でバリア層2上にゲート電極13が配設され、バリア層2を介してチャンネル層1と対向する。

【0025】

ゲート電極13とドレイン電極15との間でバリア層2は第1絶縁膜16によって被覆される。第1絶縁膜16上には第1フィールドプレート電極17及び第2フィールドプレート電極18が配設される。第2フィールドプレート電極18は第1フィールドプレート電極17とドレイン電極15との間に配置される。第1フィールドプレート電極17は外部配線L1を介してゲート電極13に電氣的に接続される。第2フィールドプレート電極18は外部配線L2を介してソース電極14に電氣的に接続される。

【0026】

図1図示の第1の実施の形態に係るパワーHEMTにおいては、第1フィールドプレート電極17とドレイン電極15との間に、第2フィールドプレート電極18の介在電極部18a（この実施の形態では、第2フィールドプレート電極18の介在電極部18aのみが示される）が介在する。介在電極部18aはシールドとして機能し、ゲート電極13に電氣的に接続された第1フィールドプレート電極17とドレイン電極15との間のゲート・ドレイン間容量 C_{gd} を実質的にキャンセルする。その結果、ターンオン及びターンオフのいずれにおいても、スイッチングに時間が掛らなくなり、スイッチングスピードが向上する。

【0027】

なお、この場合、ゲート電極13に電氣的に接続された第1フィールドプレート電極17と、ソース電極14に電氣的に接続された第2フィールドプレート電極18とが接近するため、ゲート・ソース間容量 C_{gs} は増加する。また、同様に、ソース電極14に電氣的に接続された第2フィールドプレート電極18とドレイン電極15とが接近するため、ソース・ドレイン間容量 C_{sd} も増加する。しかし、 C_{gs} 及び C_{sd} に比べて、 C_{gd} は、スイッチングの充放電時間の決定において遥かに支配的な要素であり、 C_{gs} 及び C_{sd} が増加しても、 C_{gd} を減少させれば、スイッチングスピードが向上することが確認されている。

【0028】

また、図1図示の第1の実施の形態に係るパワーHEMTにおいては、ゲート電極13の端部A11に、ゲート・ドレイン間電圧及びゲート・ソース間電圧（第2フィールドプレート電極18による）が印加される。しかし、これらの電圧による端部A11における電界集中は、端部A11近傍で第1絶縁膜16を被覆する第1フィールドプレート電極17により緩和される。このため、バリア層2を通してゲート電極13からドレイン電極15に流れるゲートリーク電流が抑制される。その結果、ゲートリーク電流を低く抑えつつ、スイッチングスピードを高くすることが可能となる。

【0029】

(第2の実施の形態)

図2は、本発明の第2の実施の形態に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図である。

【0030】

図2に示すように、このパワーHEMTは、図1図示のパワーHEMTと同様な半導体層1、2、電極15、及び絶縁膜16などを有する一方、図1図示の第1及び第2フィールドプレート電極17、18とは異なる態様で配設された第1及び第2フィールドプレート電極17X、18Xを有する。第1フィールドプレート電極17Xは、ゲート電極13と一体的に形成されることによりこれに電氣的に接続される。また、第2フィールドプレート電極18Xは、ソース電極14と一体的に形成されることによりこれに電氣的に接続される。第2フィールドプレート電極18Xは、先端部に第1フィールドプレート電極17Xとドレイン電極15との間に介在する介在電極部18aを有し、これは第1絶縁膜16上に配置される。第2フィールドプレート電極18Xはまた、ソース電極14と介在電極部18aとを接続する被覆電極部18bを有し、これは層間絶縁膜19を介してゲート電極13及び第1フィールドプレート電極17Xを被覆する。

【0031】

図2図示の第2の実施の形態に係るパワーHEMTによれば、上述のように、ゲートリーク電流を低く抑えつつ、スイッチングスピードを高くすることが可能な構造を、簡単なプロセスで形成することができる。

【0032】

(第3の実施の形態)

図3は、本発明の第3の実施の形態に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図である。

【0033】

図3に示すように、このパワーHEMTは、図2図示のパワーHEMTと同様な半導体層1、2、電極13、15、17X、及び絶縁膜16などを有する一方、図2図示の第2フィールドプレート電極18Xとは異なる態様で配設された第2フィールドプレート電極18Yを有する。第2フィールドプレート電極18Yは、介在電極部18aを有しておらず、水平に延びる被覆電極部18bの先端部で終端する。被覆電極部18bの先端部は第1フィールドプレート電極17Xよりもドレイン電極15側に延在し、第1及び第2絶縁膜16、20を介してバリア層2を被覆する。第2絶縁膜20は、第1及び第2フィールドプレート電極17X、18Y間に配設された層間絶縁膜19と一体的に形成される。

【0034】

図3図示の第3の実施の形態に係るパワーHEMTの場合、第1フィールドプレート電極17X下の絶縁膜厚は第1絶縁膜16の厚さのみである一方、第2フィールドプレート電極18Y下の絶縁膜厚は第1及び第2絶縁膜16、20の合計の厚さとなる。即ち、第2フィールドプレート電極18Y下の絶縁膜厚の方が、第1フィールドプレート電極17X下の絶縁膜厚よりも大きくなる。この場合、多段フィールドプレート構造となり、ゲート・ドレイン間の電界分布が理想的な状態に近づくため、短い間隔で高い耐圧を実現することができる。なお、ドレイン電極15側にフィールドプレート構造を形成すると、更にゲート・ドレイン間の電界分布を理想的な平坦状態に近づけることができる。

【0035】

図3図示の構造を形成する場合、まず、バリア層2上に第1絶縁膜16を堆積し、次に、バリア層2から第1絶縁膜16に亘ってゲート電極13及び第1フィールドプレート電極17Xを形成する。次に、ゲート電極13及び第1フィールドプレート電極17Xを被覆する層間絶縁膜19と共に、第1絶縁膜16上に第2絶縁膜20を堆積する。そして、最後に、バリア層2から層間絶縁膜19及び第2絶縁膜20に亘ってソース電極14及び第2フィールドプレート電極18Yを形成する。このように、異なる工程で形成した2つの絶縁膜16、20（19）を使用することにより、短いプロセスで多段フィールドプレ

ート構造を形成することが可能である。

【0036】

なお、ゲート電極13及びソース電極14と、第1及び第2フィールドプレート電極17X、18Yとは、夫々別々に形成することもできる。この場合、図1に示すように、第1フィールドプレート電極17Xとゲート電極13とを外部配線で接続すると共に、第2フィールドプレート電極18Xとソース電極14とを外部配線で接続する。

【0037】

(第4の実施の形態)

図4は、本発明の第4の実施の形態に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図である。

【0038】

図4に示すように、このパワーHEMTは、図2図示のパワーHEMTと同様な半導体層1、2、電極13、14、17X、18X、及び絶縁膜16、19などを有し、更に、ドレイン電極15側で第1絶縁膜16上に配設された第3フィールドプレート電極21を有する。第3フィールドプレート電極21はドレイン電極15と一体的に形成され、従って、ドレイン電極15に電氣的に接続される。

【0039】

図4図示の第4の実施の形態に係るパワーHEMTによれば、ゲート・ドレイン間電圧によるドレイン電極15の端部A12における電界集中が、第3フィールドプレート電極21によって緩和される。このため、図4図示のパワーHEMTによれば、図2図示のパワーHEMTよりも耐圧を向上させることができる。

【0040】

(第5の実施の形態)

図5は、本発明の第5の実施の形態に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図である。

【0041】

図5に示すように、このパワーHEMTは、図3図示のパワーHEMTと同様な半導体層1、2、電極13、14、17X、18Y、及び絶縁膜16、19、20などを有し、更に、ドレイン電極15側で第1及び第2絶縁膜16、20上に亘って配設された第3フィールドプレート電極21Xを有する。第3フィールドプレート電極21Xはドレイン電極15と一体的に形成され、従って、ドレイン電極15に電氣的に接続される。

【0042】

図5図示の第5の実施の形態に係るパワーHEMTにおいても、ドレイン電極15の端部A12における電界集中が、第3フィールドプレート電極21Xによって緩和される。また、第3フィールドプレート電極21Xは、第1及び第2絶縁膜16、20上に亘る多段フィールドプレート構造をなすため、ゲート・ドレイン間の電界分布が理想的な平坦状態近づく。このため、図5図示のパワーHEMTによれば、図3図示のパワーHEMTよりも耐圧を向上させることができる。

【0043】

(第6の実施の形態)

図6は、本発明の第6の実施の形態に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図である。

【0044】

図6に示すように、このパワーHEMTは、サファイア製の支持基板S31の上に配設されたノンドープのチャンネル層（第1半導体層）31と、チャンネル層31上に配設されたノンドープ若しくはn型のバリア層（第2半導体層）32とを有する。バリア層32の表面内には、共に低抵抗（高不純物濃度）でn型のソースコンタクト層（第1コンタクト層）33及びドレインコンタクト層（第2コンタクト層）34が互いに離間するように配設される。ソース及びドレインコンタクト層33、34は、チャンネル層31及びバリア層32の界面を越えてチャンネル層31内に延在する。

チャネル層 31 は $Al_x Ga_{1-x}N$ ($0 \leq x \leq 1$)、例えば、 GaN からなる。バリア層 32 は $Al_y Ga_{1-y}N$ ($0 \leq y \leq 1$ 、 $x < y$)、例えば、 $Al_{0.2}Ga_{0.8}N$ からなる。一方、ソース及びドレインコンタクト層 33、34 は、エッチングにより溝を形成した後に選択成長により埋込み層を形成するプロセス、或いは、 n 型不純物のイオン注入と熱処理とを使用するプロセスなどにより形成することが可能である。従って、ソース及びドレインコンタクト層 33、34 の組成は、プロセスに依存して決定される。しかし、ソース及びドレインコンタクト層 33、34 は、一般式として、 $Al_z Ga_{1-z}N$ ($0 \leq z \leq 1$) で表すことができる。

【0045】

ソースコンタクト層 33 と電氣的にコンタクトするようにこの上にソース電極 44 が配設される。ドレインコンタクト層 34 と電氣的にコンタクトするようにこの上にドレイン電極 45 が配設される。ソース電極 44 とドレイン電極 45 との間でバリア層 32 上にゲート電極 43 が配設され、バリア層 32 を介してチャネル層 31 と対向する。

【0046】

ソース電極 44 とドレイン電極 45 との間でゲート電極 43 及びバリア層 32 は絶縁膜 46 によって被覆される。絶縁膜 46 上には第 1 フィールドプレート電極 47 及び第 2 フィールドプレート電極 48 が配設される。第 1 フィールドプレート電極 47 はソース電極 44 と一体的に形成され、従ってソース電極 44 に電氣的に接続される。第 2 フィールドプレート電極 48 はドレイン電極 45 と一体的に形成され、従ってドレイン電極 45 に電氣的に接続される。

【0047】

なお、ソース電極 44 及びドレイン電極 45 と、第 1 及び第 2 フィールドプレート電極 47、48 とは、夫々別々に形成することもできる。この場合、第 1 フィールドプレート電極 47 とソース電極 44 とを外部配線で接続すると共に、第 2 フィールドプレート電極 48 とドレイン電極 45 とを外部配線で接続する。

【0048】

前述のように、装置材料に窒化物系の半導体を用いた場合、高い臨界電界となるため、高耐圧が期待できる。図 6 図示のパワー HEMT においては、これに加えて、耐圧を決めるゲート・ドレイン間に第 1 及び第 2 フィールドプレート電極 47、48 が配設される。このため、ゲート電極 43 の端部 A41 とドレイン電極 41 の端部 A42 の電界集中が緩和され、耐圧が向上する。

【0049】

また、 GaN 系パワー HEMT の場合、 $AlGaN/GaN$ ヘテロ界面に移動度の高い二次元電子ガスが形成され、低オン抵抗が期待できる。図 6 図示のパワー HEMT においては、これに加えて、低抵抗のソース及びドレインコンタクト層 33、34 を介して、ソース電極 44 及びドレイン電極 45 がバリア層 32 にコンタクトする。このため、コンタクト抵抗が下がり、更にオン抵抗を低下させることができる。

【0050】

図 14 及び図 15 図示の従来の装置構造では、コンタクト層がないため、高電圧印加時の電界ピークはソース電極 114 及びドレイン電極 115 (特にドレイン電極 115) の端部にあり、電界分布はバリア層 102 の表面に近く鋭いピークを持つようになる。このような形状は、拡散層で装置を形成する Si 装置で言うならば、拡散層深さがほぼゼロに等しい状態である。この表面近傍の高い電界ピークで耐圧が決まると、表面状態や電極形状などに耐圧が影響されることになる。

【0051】

これに対して、図 6 図示のパワー HEMT においては、ソース及びドレインコンタクト層 33、34 を配設することにより、電界の最も高いポイントをコンタクト層 33、34 の底の半導体層内 (第 6 の実施の形態ではチャネル層 1 に相当) とすることが可能となる。また、電界のピーク自体も、第 1 及び第 2 フィールドプレート電極 47、48 によって緩和される。これにより、表面状態などのプロセスの影響も受け難く、安定した動作が期

待できる。即ち、第1及び第2フィールドプレート電極47、48とソース及びドレインコンタクト層33、34とを組み合わせることで、高耐圧及び低オン抵抗を実現することに加えて、プロセスバラツキの小さい安定した特性と高い信頼性も実現できる。

【0052】

(第7の実施の形態)

図7は、本発明の第7の実施の形態に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図である。

【0053】

図7に示すように、このパワーHEMTは、図6図示のパワーHEMTと同様な半導体層31、32、電極43、44、45、47、48、及び絶縁膜46などを有する一方、図6図示のソース及びドレインコンタクト層33、34とは異なる態様で配設されたソース及びドレインコンタクト層33X、34Xを有する。ソース及びドレインコンタクト層33X、34Xは、バリア層32上に結晶成長され且つパターンニングされた、一般式として、 $Al_zGa_{1-z}N$ ($0 \leq z \leq 1$) で表される半導体層からなる。ソース及びドレインコンタクト層33X、34Xがバリア層32の表面上に突出し、その間にゲート電極33が配設されるため、この装置構造はリセスゲート型となる。

【0054】

図7図示の第7の実施の形態に係るパワーHEMTにおいても、第1及び第2フィールドプレート電極47、48とソース及びドレインコンタクト層33X、34Xとを組み合わせることで、高耐圧及び低オン抵抗を実現することができる。また、1回の結晶成長によりソース及びドレインコンタクト層33X、34Xを形成することができるため、プロセスが簡単なものとなる。

【0055】

(第8の実施の形態)

図8は、本発明の第8の実施の形態に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図である。

【0056】

図8に示すように、このパワーHEMTは、図6図示のパワーHEMTと同様な装置構造に加えて、チャンネル層31の下に配設されたp型の下側層36を更に有する。下側層36は $Al_xGa_{1-x}N$ ($0 \leq x \leq 1$)、例えば、GaNからなる。下側層36は電極及び配線L3を介してソース電極44に電氣的に接続される。

【0057】

図8図示の第8の実施の形態に係るパワーHEMTの場合、高電圧が印可され、アバランシェ降伏が起きても、発生したホールはp型の下側層36から速やかに排出される。従って、この構造によれば、アバランシェ降伏耐量を大きくすることが可能となる。なお、下側層36をゲート電極43に電氣的に接続した場合でも、同様にホールを排出することができる。また、下側層36からの電極及び配線L3は、ソース電極44と同じ側の表面からではなく、裏面から取り出すこともできる。

【0058】

図9は、第8の実施の形態の変更例に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図である。

【0059】

図9に示すように、このパワーHEMTでは、図8図示のパワーHEMTと同様な構造において、第1及び第2フィールドプレート電極47、48の有効プレート長（平面図における投影長）の比が0.9～1.1、例えば概ね等しくなるように設定される。ここで、第1フィールドプレート電極47の有効プレート長 L_{FPs} は、ソース電極44とドレイン電極45とを結ぶ方向において、ゲート電極43の端部を越えてドレイン電極45側に延在する電極部分の長さとなる。また、第2フィールドプレート電極47の有効プレート長 L_{FPd} は、絶縁膜46上における電極部分の長さとなる。

【0060】

フィールドプレート電極の設計として、有効プレート長が重要なパラメータとなる。第1及び第2フィールドプレート電極47、48の有効プレート長（平面図における投影長） L_{FPs} 、 L_{FPd} の比を0.9～1.1、例えば概ね等しくすることにより、ゲート電極43の端部A41及びドレイン電極45の端部A42の両部分における電界を、第1及び第2フィールドプレート電極47、48により同様に緩和することができる。この点は、図6及び図7図示の第6及び第7の実施の形態に係るパワーHEMTにおいても同様である。

【0061】

また、p型の下側層36をソース電極44に接続することで、下側層36もチャンネル層31内の電界を遮蔽するフィールドプレートの役目を果たす。図10は、図9図示のパワーHEMTにおいて、第1及び第2フィールドプレート電極47、48の有効プレート長 L_{FP} を変化させた場合の耐圧VBの変化を示すグラフである。

【0062】

図10に示すように、有効プレート長 L_{FP} がチャンネル層31の厚さ t_h と同程度の時が最も高い耐圧を得ることができる。有効プレート長 L_{FP} が厚さ t_h よりも小さいと、第1及び第2フィールドプレート電極47、48による電界の緩和が弱いため、耐圧が小さくなる。逆に、有効プレート長 L_{FP} が厚さ t_h よりも大きいと、第1及び第2フィールドプレート電極47、48による電界の緩和は充分だが、第1及び第2フィールドプレート電極47、48間の距離が短くなるため、耐圧が低下する。しかし、第1及び第2フィールドプレート電極47、48による電界の緩和を確実にするためには、有効プレート長 L_{FP} をチャンネル層31の厚さ t_h よりも大きくすることが望ましい。

【0063】

なお、ホール排出に用いるためのp型の下側層36は、図7図示のパワーHEMTのようなりセスゲート型の装置構造に対して適用しても、同様な効果が得られる。また、図10を参照して説明した第1及び第2フィールドプレート電極47、48の有効プレート長の設定も、図7図示のパワーHEMTのようなりセスゲート型の装置構造に対して適用しても、同様な効果が得られる。また、有効プレート長の設定は、下側層36に代えて導電性の支持基板を用いて装置を形成し、支持基板をソースに接続した場合にも同様に適用することができる。

【0064】

（第9の実施の形態）

図11は、本発明の第9の実施の形態に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図である。

【0065】

図11に示すように、このパワーHEMTは、図6図示のパワーHEMTと同様な半導体層31、32、電極43、44、47、48、及び絶縁膜46などを有する一方、図6図示のソース及びドレインコンタクト層33、34を有していない。この場合、ソース電極44及びドレイン電極45は、バリア層32と電気的にコンタクトするようにこの上に互いに離間して配設される。また、ドレイン電極45に隣接してチャンネル層31及びバリア層32にコンタクトするドレインコンタクト電極54が配設される。ドレインコンタクト電極54はドレイン電極45と一体的に形成され、従ってドレイン電極45に電気的に接続される。ドレインコンタクト電極54は、バリア層32の表面からチャンネル層31及びバリア層32の界面を越えてチャンネル層31内に延在するトレンチ38内に配設される。

【0066】

図11図示の第9の実施の形態に係るパワーHEMTの場合、ドレイン電極45がドレインコンタクト電極54を介して、バリア層32及びチャンネル層31の両者に対してコンタクトする。このため、バリア層32及びチャンネル層31内に深い拡散層を形成したのと同様に、ドレイン端部の曲率を大きくでき、電界が緩和される。また、アバランシェポイントは絶縁膜46に触れるバリア層32の表面ではなく、ドレインコンタクト電極54が

チャネル層 31 にコンタクトする部分となる。これにより、表面状態などのプロセスの影響も受け難く、安定した動作が期待できる。なお、電界を緩和するためには、ドレインコンタクト電極 54 は、図 11 に示すように傾斜していることが望ましい。

【0067】

(第 10 の実施の形態)

図 12 は、本発明の第 10 の実施の形態に係る窒化物系の電力用半導体装置 (GaN 系パワー HEMT) を模式的に示す断面図である。

【0068】

図 12 に示すように、このパワー HEMT では、図 7 図示のパワー HEMT と同様なりセスゲート型の装置構造に加えて、チャネル層 31、バリア層 32、及びドレインコンタクト層 34X にコンタクトするドレインコンタクト電極 54 が配設される。ドレインコンタクト電極 54 はドレイン電極 45 と一体的に形成され、従ってドレイン電極 45 に電氣的に接続される。ドレインコンタクト電極 54 は、ドレインコンタクト層 34X の表面からチャネル層 31 及びバリア層 32 の界面を越えてチャネル層 31 内に延在するトレンチ 38 内に配設される。

【0069】

図 12 図示の第 10 の実施の形態に係るパワー HEMT によれば、ドレインコンタクト電極 (トレンチコンタクト部) 54 でアバランシェ降伏が起こるようになり、高い信頼性が実現できる。

【0070】

(第 11 の実施の形態)

図 13 は、本発明の第 11 の実施の形態に係る窒化物系の電力用半導体装置 (GaN 系パワー HEMT) を模式的に示す断面図である。

【0071】

図 13 に示すように、このパワー HEMT では、図 12 図示のパワー HEMT の装置構造に加えて、チャネル層 31、バリア層 32、及びソースコンタクト層 33X にコンタクトするソースコンタクト電極 53 が配設される。ソースコンタクト電極 53 はソース電極 44 と一体的に形成され、従ってソース電極 44 に電氣的に接続される。ソースコンタクト電極 53 は、ドソースコンタクト層 33X の表面からチャネル層 31 及びバリア層 32 の界面を越えてチャネル層 31 内に延在するトレンチ 37 内に配設される。

【0072】

図 13 図示の第 11 の実施の形態に係るパワー HEMT によれば、ソース電極 44 側とドレイン電極 45 側とが同じ構造を有するため、製造プロセスを簡略化することができる。

【0073】

以上の第 1 乃至第 11 の実施の形態において、フィールドプレート構造は、一段構造ではなく、多段構造とすることができる。支持基板の材料はサファイアに限定されることはなく、他の材料とすることもできる。半導体層構造は、例示の AlGaN/GaN に代え、GaN/InGaN や AlN/AlGaN など、他の窒化物系の半導体層構造とすることができる。

【0074】

また、以上の実施の形態は、HEMT に限らずゲート絶縁膜を加えた MISFET に対しても同様に適用することができる。また、以上の実施の形態は、ゲート/ドレイン間の構造が横型 SBD (Schottky Barrier Diode) の構造であることから、スイッチング装置に限らず横型 SBD に対しても同様に適用することができる。また、以上の実施の形態は、横型装置であれば、ユニポーラ装置に限らず、pin ダイオードや、MISFET のドレイン側に p 層を設けた IGBT など、バイポーラ装置に対しても同様に適用することができる。

【0075】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想

到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【産業上の利用可能性】

【0076】

本発明の第1乃至第5の実施の形態によれば、低ゲートリーク電流で且つ高スイッチングスピードの窒化物系の電力用半導体装置を提供することができる。

【0077】

本発明の第6乃至第11の実施の形態によれば、非常にオン抵抗が低い窒化物系の電力用半導体装置を提供することができる。

【図面の簡単な説明】

【0078】

【図1】本発明の第1の実施の形態に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図。

【図2】本発明の第2の実施の形態に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図。

【図3】本発明の第3の実施の形態に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図。

【図4】本発明の第4の実施の形態に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図。

【図5】本発明の第5の実施の形態に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図。

【図6】本発明の第6の実施の形態に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図。

【図7】本発明の第7の実施の形態に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図。

【図8】本発明の第8の実施の形態に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図。

【図9】第8の実施の形態の変更例に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図。

【図10】図10は、図9図示のパワーHEMTにおいて、第1及び第2フィールドプレート電極の有効プレート長 L_{FP} を変化させた場合の耐圧 V_B の変化を示すグラフ。

【図11】本発明の第9の実施の形態に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図。

【図12】本発明の第10の実施の形態に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図。

【図13】本発明の第11の実施の形態に係る窒化物系の電力用半導体装置（GaN系パワーHEMT）を模式的に示す断面図。

【図14】従来のフィールドプレート電極を有するGaN系パワーHEMTを模式的に示す断面図。

【図15】従来の別のフィールドプレート電極を有するGaN系パワーHEMTを模式的に示す断面図。

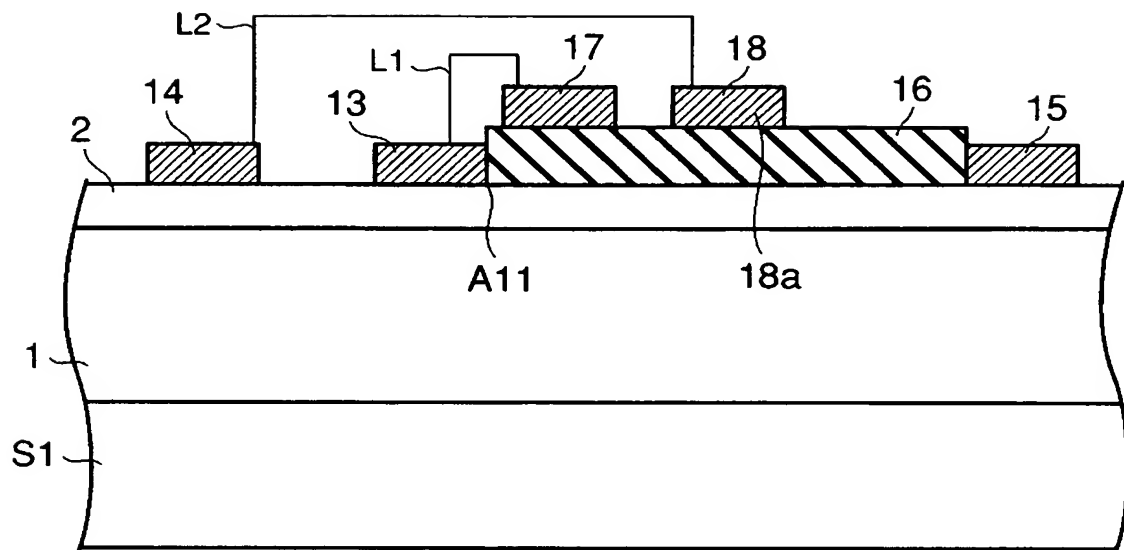
【符号の説明】

【0079】

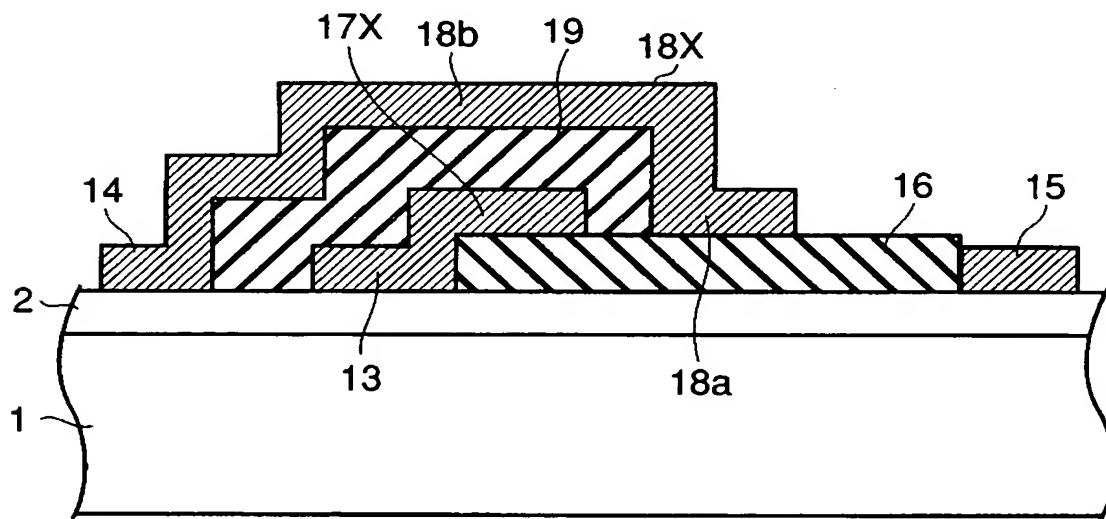
S1、S31…支持基板；1、31…チャネル層（第1半導体層）；2、32…n型バリア層（第2半導体層）；13、43…ゲート電極；14、44…ソース電極；15、45…ドレイン電極；16、19、20、46…絶縁膜；17、17X、47…第1フィールドプレート電極；18、18X、18Y、48…第2フィールドプレート電極；18a…介在電極部；18b…被覆電極部；33、33X…ソースコンタクト層；34、34X…ドレインコンタクト層；36…p型下側層；37、38…トレンチ；53…ソースコン

● タクト電極；5 4 …ドレインタクト電極。

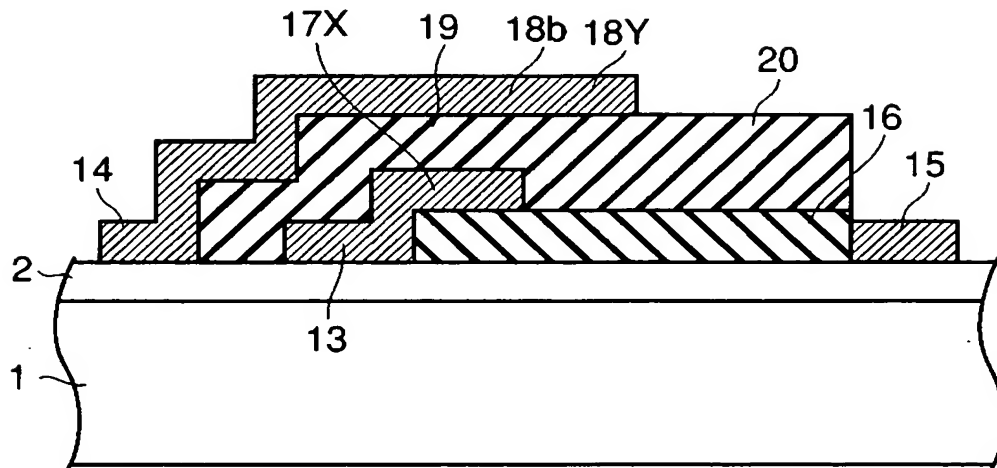
【書類名】 図面
【図 1】



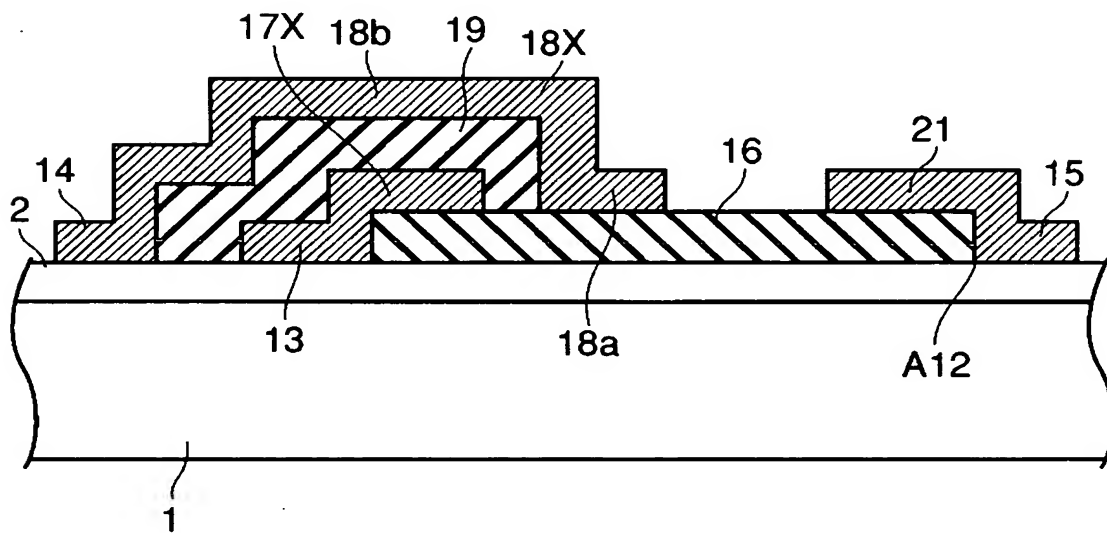
【図 2】



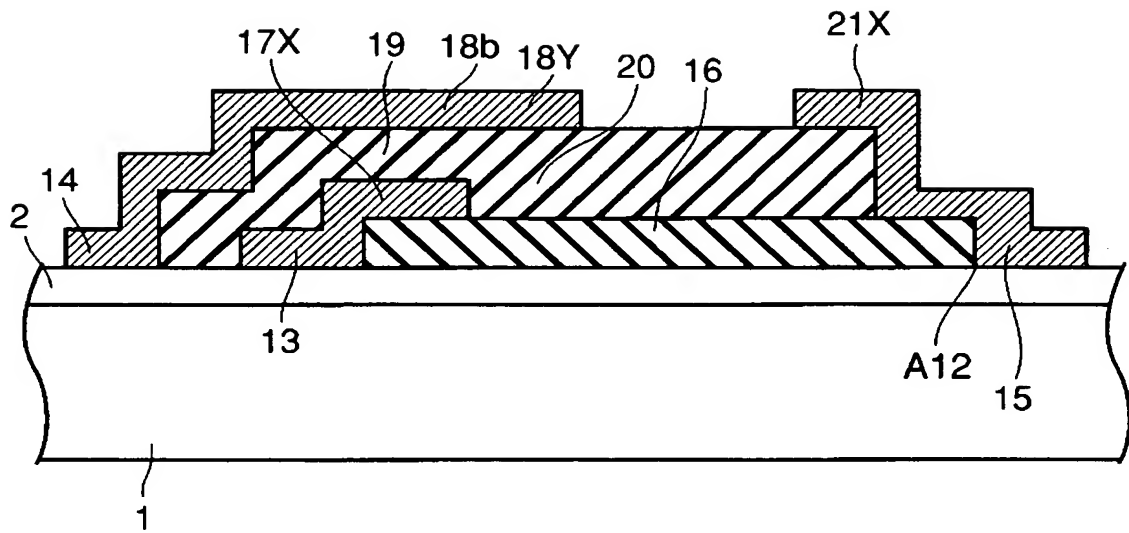
【図 3】



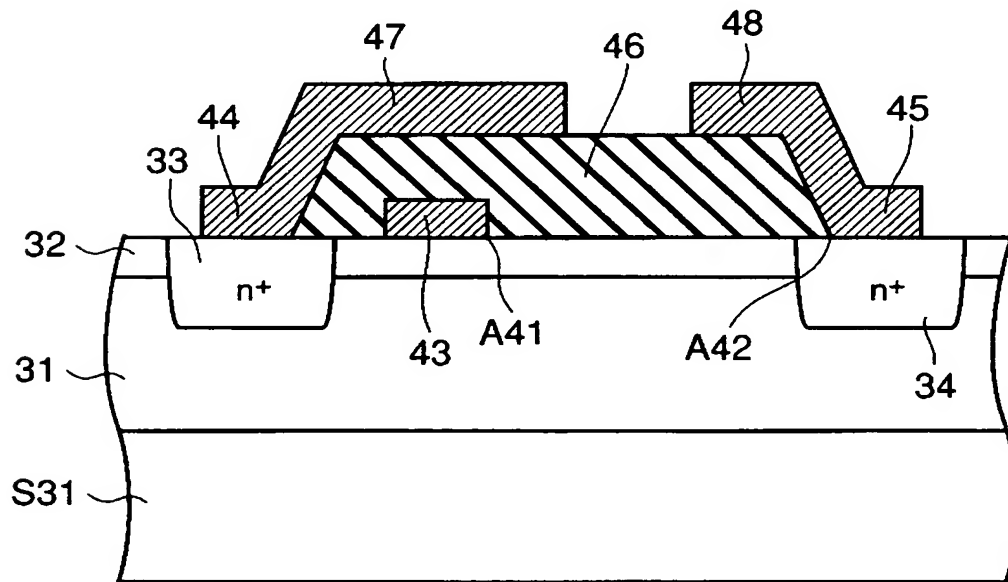
【図 4】



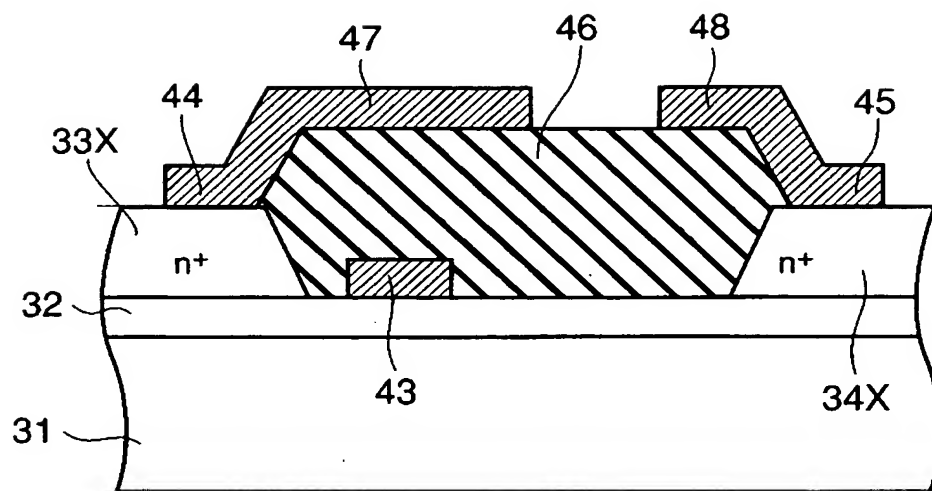
【図 5】



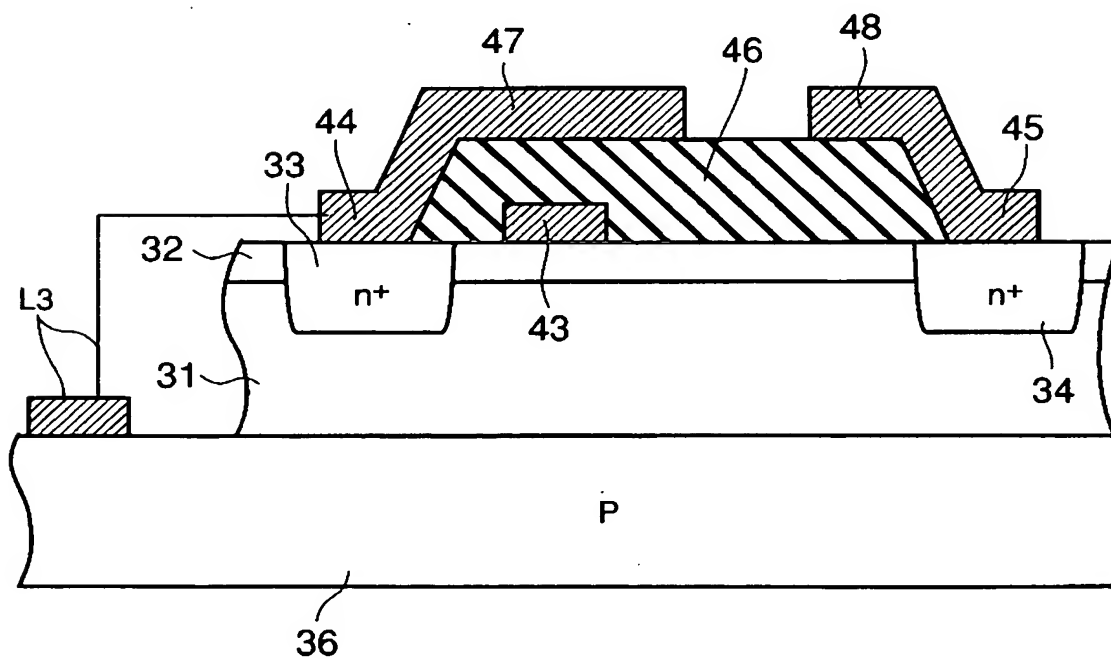
【図 6】



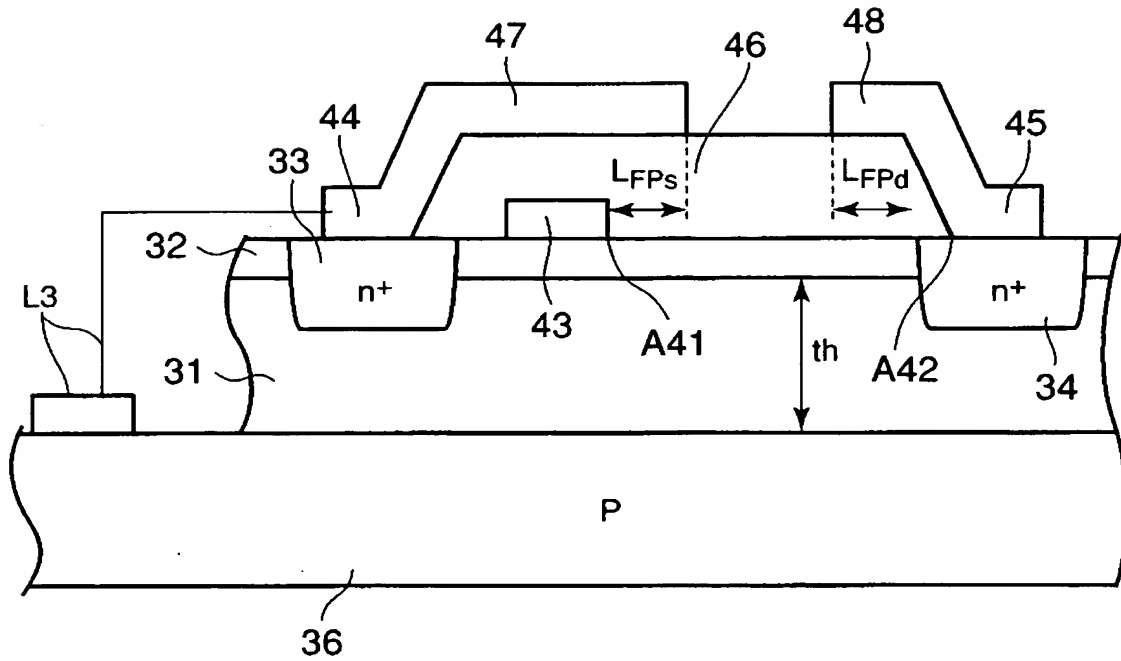
【図 7】



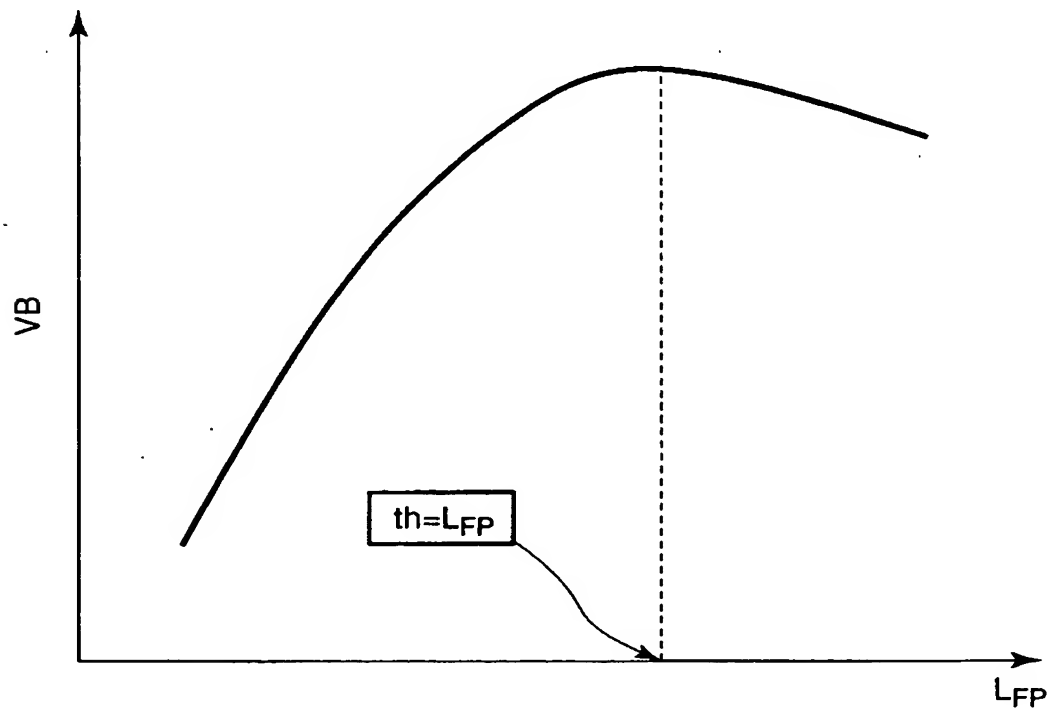
【図 8】



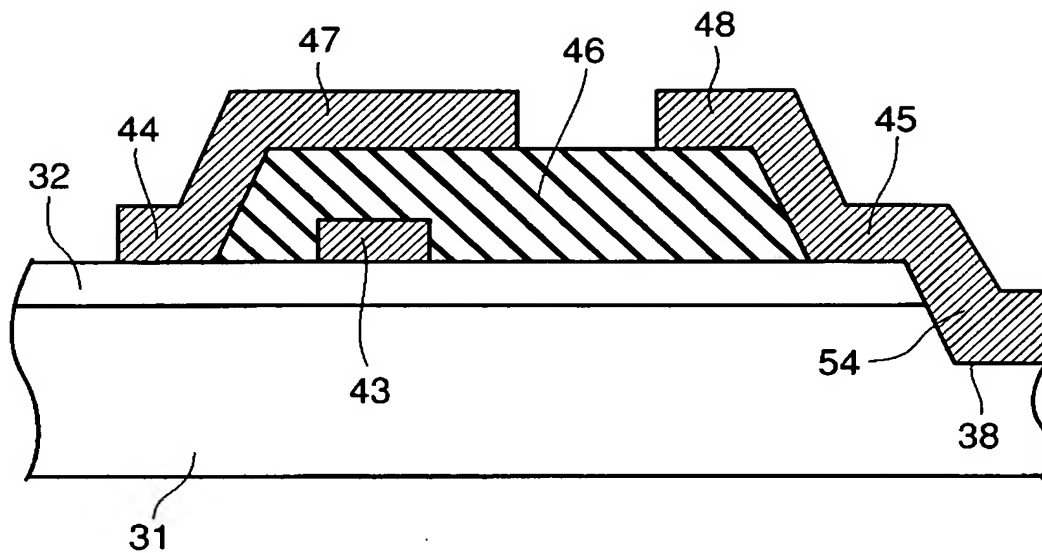
【图 9】



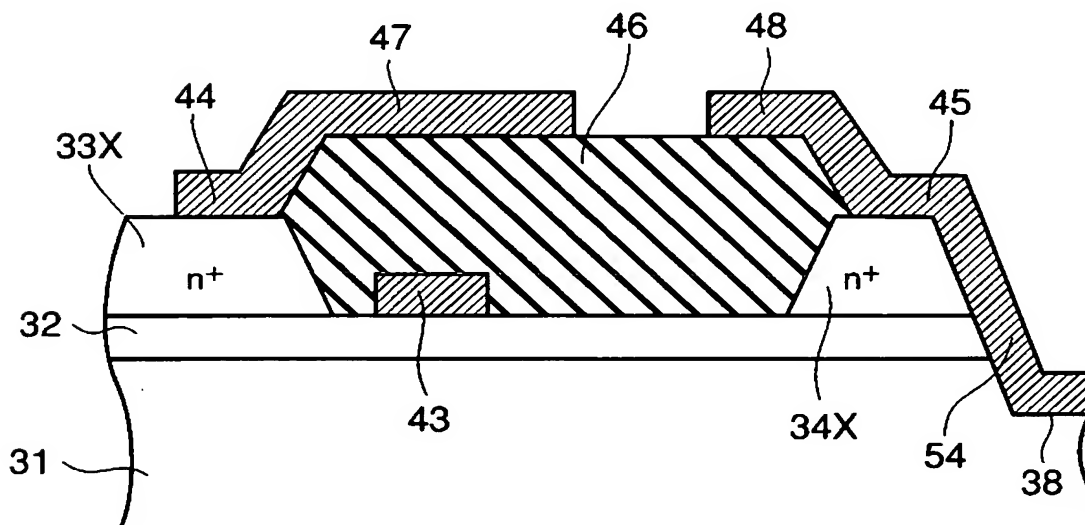
【図 10】



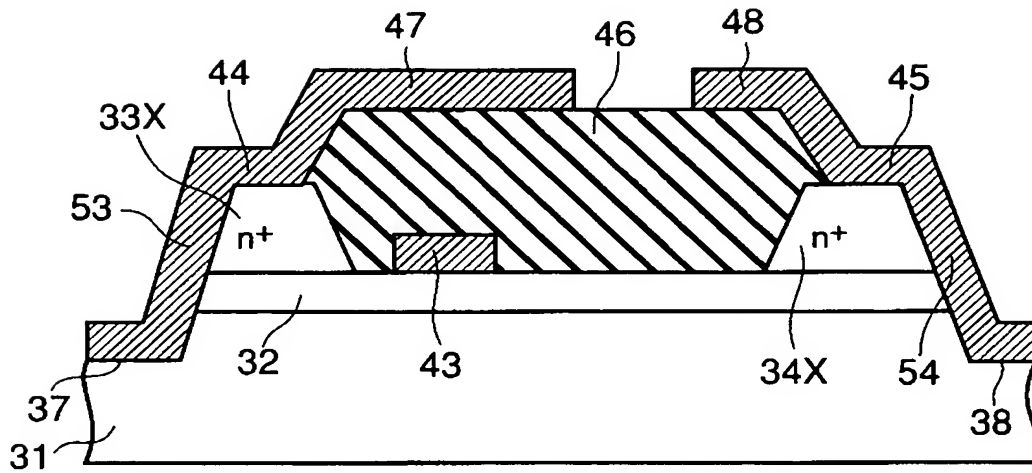
【図 11】



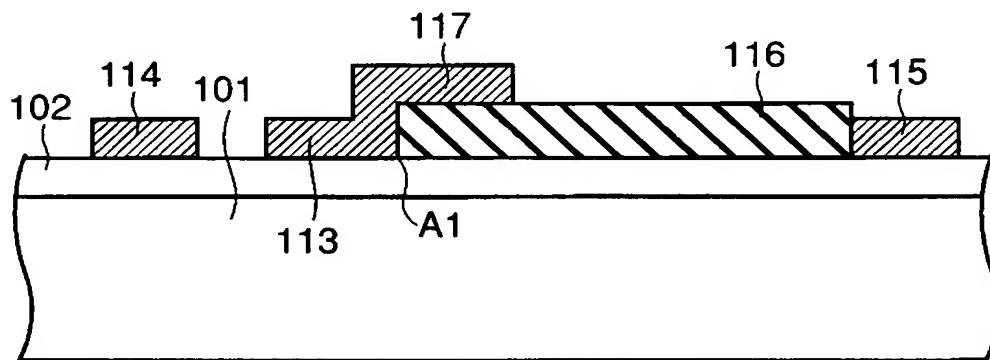
【図 12】



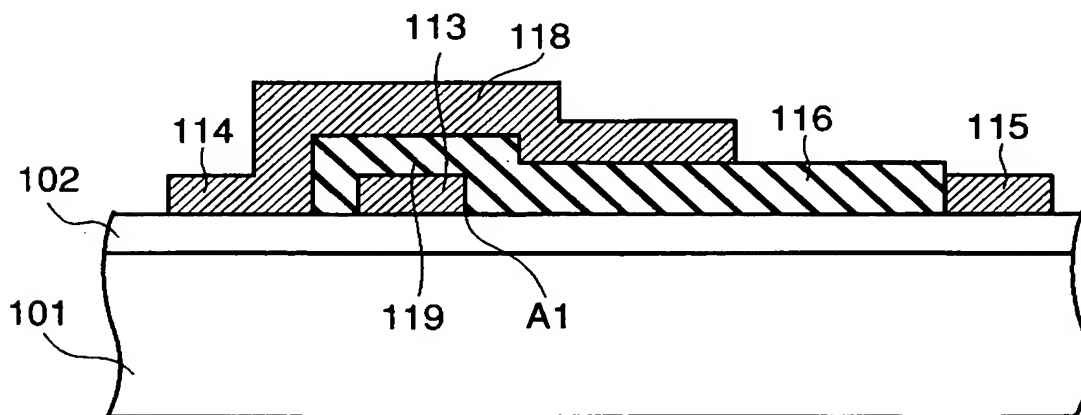
【図 13】



【図 14】



【図 15】



【書類名】要約書

【要約】

【課題】窒化物系の電力用半導体装置において、ゲートリーク電流を低く抑えつつ、スイッチングスピードを高くする。

【解決手段】電力用半導体装置は、ノンドープ $Al_xGa_{1-x}N$ ($0 \leq X \leq 1$) の第1半導体層1と、第1半導体層1上に配設されたノンドープ若しくはn型 $Al_yGa_{1-y}N$ ($0 \leq Y \leq 1$ 、 $X < Y$) の第2半導体層2と、を有する。第2半導体層2には、互いに離間するように配設されたソース電極14及びドレイン電極15が電氣的に接続される。ソース電極14とドレイン電極15との間で第2半導体層2上にゲート電極13が配設される。ゲート電極13とドレイン電極15との間で絶縁膜16が第2半導体層2を覆う。第1フィールドプレート電極17が絶縁膜16上に配設され且つゲート電極13に電氣的に接続される。第2フィールドプレート電極18が絶縁膜16上に配設され且つソース電極14に電氣的に接続される。

【選択図】 図1

特願 2 0 0 3 - 3 2 7 6 5 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝